

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2000年 3月30日

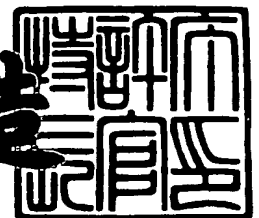
出 願 番 号
Application Number: 特願2000-095916

出 願 人
Applicant(s): 安藤電気株式会社

2001年 1月26日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3001409

【書類名】 特許願

【整理番号】 S00-3-15

【提出日】 平成12年 3月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 シーケンス制御回路

【請求項の数】 6

【発明者】

【住所又は居所】 東京都大田区蒲田4丁目19番7号 安藤電気株式会社
内

【氏名】 河原崎 太

【特許出願人】

【識別番号】 000117744

【氏名又は名称】 安藤電気株式会社

【代理人】

【識別番号】 100064908

【弁理士】

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100108578

【弁理士】

【氏名又は名称】 高橋 詔男

【選任した代理人】

【識別番号】 100089037

【弁理士】

【氏名又は名称】 渡邊 隆

【選任した代理人】

【識別番号】 100101465

【弁理士】

【氏名又は名称】 青山 正和

【選任した代理人】

【識別番号】 100094400

【弁理士】

【氏名又は名称】 鈴木 三義

【選任した代理人】

【識別番号】 100107836

【弁理士】

【氏名又は名称】 西 和哉

【選任した代理人】

【識別番号】 100108453

【弁理士】

【氏名又は名称】 村山 靖彦

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9719557

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 シーケンス制御回路

【特許請求の範囲】

【請求項 1】 アドレスを示すプログラムカウンタ信号によりアクセスされ、各アドレスに次の行のシーケンス制御命令記憶領域とジャンプ先の行のシーケンス制御命令記憶領域とを有するインストラクションメモリと、

上記プログラムカウンタ信号に基づいて上記インストラクションメモリから読み出された上記次の行のシーケンス制御命令又は上記ジャンプ先の行のシーケンス制御命令を選択信号に応じて選択する選択手段と、

上記選択手段の選択出力を解読し、次のアドレスを示すプログラムカウンタ信号を出力し、次のアドレスがジャンプするときは上記選択手段が次に上記ジャンプ先の行のシーケンス制御命令を選択する選択信号を出力するプログラムカウンタ制御手段とを設けたことを特徴とするシーケンス制御回路。

【請求項 2】 上記選択手段は、上記インストラクションメモリからの上記次の行のシーケンス制御命令を保持する第 1 のレジスタと、上記インストラクションメモリからの上記ジャンプ先の行のシーケンス制御命令を保持する第 2 のレジスタと、上記第 1 又は第 2 のレジスタの出力を上記選択信号に応じて選択するセクタとからなることを特徴とする請求項 1 記載のシーケンス制御回路。

【請求項 3】 上記プログラムカウンタ制御手段は、上記次のアドレスを示すプログラムカウンタ信号を保持する第 3 のレジスタと、上記選択信号を保持する第 4 のレジスタとを有することを特徴とする請求項 2 記載のシーケンス制御回路。

【請求項 4】 上記選択手段は、上記インストラクションメモリからの上記次の行のシーケンス制御命令又は上記インストラクションメモリからの上記ジャンプ先の行のシーケンス制御命令を上記選択信号に応じて選択するセクタと、上記セクタの出力を保持して上記プログラムカウンタ制御手段に与える第 1 のレジスタとからなることを特徴とする請求項 1 記載のシーケンス制御回路。

【請求項 5】 上記プログラムカウンタ制御手段は、上記次のアドレスを示すプログラムカウンタ信号を保持する第 2 のレジスタを有すると共に、上記選択

信号で上記セレクタを制御することを特徴とする請求項 4 記載のシーケンス制御回路。

【請求項 6】 上記プログラムカウンタ信号に基づいて半導体装置を試験するための試験パターンを発生する半導体試験装置で用いられることを特徴とする請求項 1 記載のシーケンス制御回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体メモリなどの IC 回路を試験するための半導体試験装置に用いるシーケンス制御回路に関する。

【 0 0 0 2 】

【従来の技術】

従来、プログラムによって被測定 IC に供給する試験パターンを発生する半導体試験装置においては、パターン発生命令のシーケンスを制御するためにシーケンス制御回路が用いられている。

図 6 に従来の半導体試験装置の構成を示す。

半導体試験装置は、プログラムに記述されたパターン発生命令のシーケンスを制御するシーケンス制御回路 100 と、パターン発生命令を記憶するインストラクションメモリ 200 と、加算減算などの演算が可能なパターン発生回路 300 と、被測定 IC 500 の良否を判定する比較器 400 とで構成される。

【 0 0 0 3 】

シーケンス制御回路 100 は、プログラムに記述されたシーケンス制御命令に従いプログラムカウンタ信号 a を出力する。インストラクションメモリ 200 は、プログラムカウンタ信号 a をメモリアドレスとしてアクセスされ、パターン発生命令 k を出力する。パターン発生回路 300 は、パターン発生命令 k に従い、被測定 IC 500 に供給する試験パターン l 及び期待パターン m を発生する。被試験 IC 500 は試験パターン l に応じて動作し、出力信号 n を出力する。比較器 400 は、パターン発生回路 300 からの期待パターン m と被測定 IC 500 からの出力信号 n とを比較し、被測定 IC 500 の良否を判定する。

【 0 0 0 4 】

図 7 に半導体試験装置のプログラム例を示す。

このプログラムは、プログラムカウンタの値と、シーケンス制御命令と、パターン発生命令とで構成される。シーケンス制御命令の「NOOP」は、「NOOP」と記述された行を実行し、プログラムカウンタをインクリメントする命令である。「LOOP」は、指定された行から「LOOP」と記述された行までの命令を指定された回数実行するまで、プログラムカウンタをジャンプする命令である。この例の場合は、「3」が指定回数で「AA」が行の指定である。「AA」で指定された行が「LOOP」と記述された行と同一であるので、この行を 3 回実行する。

【 0 0 0 5 】

半導体試験装置で図 7 のプログラムを実行したときの動作を図 8 の波形図を用いて説明する。

インストラクションメモリ 2 0 0 には、アドレス 0 番地に「 $X=0$ 」、1 番地に「 $X=X+1$ 」、2 番地に「 $X=0$ 」という命令を記憶しておく。試験が始まると、シーケンス制御回路 1 0 0 は、プログラムのシーケンス制御命令に従い、プログラムカウンタ信号 a を「0, 1, 1, 1, 2」と発生する。インストラクションメモリ 2 0 0 は、プログラムカウンタ信号 a を受け取り、パターン発生命令 k を「 $X=0$ 」、「 $X=X+1$ 」、「 $X=X+1$ 」、「 $X=X+1$ 」、「 $X=0$ 」と発生する。パターン発生回路 3 0 0 は、パターン発生命令 k を受け取って演算を行い、パターン出力 l を「0, 1, 2, 3, 0」と発生する。

【 0 0 0 6 】

このように発生したパターンが被測定 IC 5 0 0 に供給される。比較器 4 0 0 は、同様に発生した期待パターン m と被測定 IC 5 0 0 の出力信号 n とを比較し、被測定 IC 5 0 0 の良否を判定する。

【 0 0 0 7 】

次に、従来のシーケンス制御回路 1 0 0 を図 9 を用いて説明する。

シーケンス制御回路 3 0 0 は、シーケンス制御命令を記憶するインストラクションメモリ 2 1 とプログラムカウンタ制御部 1 1 とレジスタ 1 とで構成される。

インストラクションメモリ 21 は、レジスタ 1 からのプログラムカウンタ信号 a によりアクセスされ、シーケンス制御命令 f を出力する。プログラムカウンタ制御部 11 はシーケンス制御命令 f を解読し、次のプログラムカウンタ信号 g を決定する。次の周期で、レジスタ 1 が次のプログラムカウンタ信号 g を出力し、同様の処理が行われる。この一連の動作を繰り返すことによりシーケンス制御回路は、次々にプログラムカウンタ信号 a を出力する。

【0008】

従来のシーケンス制御回路 100 で図 7 のプログラムを実行したときの動作を説明する。図 10 はそのときの波形図である。

インストラクションメモリ 21 には、アドレス 0 番地に「NOOP」、1 番地に「LOOP」、2 番地に「NOOP」という命令を記憶しておき、レジスタ 1 には、初期値「0」を記憶しておく。試験が始まると、インストラクションメモリ 21 はプログラムカウンタ信号 a の値「0」により 0 番地をアクセスされ、シーケンス制御命令 f に「NOOP」命令を出力する。

【0009】

プログラムカウンタ制御部 11 はシーケンス制御命令「NOOP」を解読し、次のプログラムカウンタ信号 g にプログラムカウンタをインクリメントした値「1」を出力する。次の周期でレジスタ 1 が「1」を出力し、同様の処理が行われる。この一連の動作を繰り返すことによりシーケンス制御回路 100 は、プログラムカウンタ信号 a を「0, 1, 1, 1, 2」と発生する。

【0010】

【発明が解決しようとする課題】

上述した従来のシーケンス制御回路 100 は、1 周期の間にインストラクションメモリ 21 にアクセスしてプログラムカウンタの制御を行っているため、最高動作速度が、インストラクションメモリのアクセス時間とプログラムカウンタ制御部の動作速度との合計で決まる。このためより高速な動作をするには、アクセス時間の速いインストラクションメモリを用いると共に、プログラムカウンタ制御部を高速素子で構成する必要があるという問題があった。

【0011】

従って、本発明は、アクセス時間の速いメモリや高速素子を用いることなく高速動作が可能なシーケンス制御回路を提供することを目的としている。

【 0 0 1 2 】

【課題を解決するための手段】

上述した問題を解決するため、本発明によるシーケンス制御回路においては、アドレスを示すプログラムカウンタ信号によりアクセスされ、各アドレスに次の行のシーケンス制御命令記憶領域とジャンプ先の行のシーケンス制御命令記憶領域とを有するインストラクションメモリと、上記プログラムカウンタ信号に基づいて上記インストラクションメモリから読み出された上記次の行のシーケンス制御命令又は上記ジャンプ先の行のシーケンス制御命令を選択信号（例えば実施の形態におけるジャンプ信号 i）に応じて選択する選択手段（同レジスタ 3、4、セクタ 3 0 又はセクタ 4 0、レジスタ 5）と、上記選択手段の選択出力を解読し、次のアドレスを示すプログラムカウンタ信号（同信号 a）を出力し、次のアドレスがジャンプするときは上記選択手段が次に上記ジャンプ先の行のシーケンス制御命令を選択する選択信号を出力するプログラムカウンタ制御手段（同プログラムカウンタ制御部 1 0、レジスタ 1、2 又はプログラムカウンタ制御部 1 0、レジスタ 1）とを設けている。

【 0 0 1 3 】

【発明の実施の形態】

以下、本発明の実施の形態を図面と共に説明する。

図 1 は本発明の第 1 の実施の形態によるシーケンス制御回路を示すブロック図である。

シーケンス制御回路 1 0 0 は、プログラムカウンタ信号 a を出力するレジスタ 1 と、シーケンス制御命令を記憶しプログラムカウンタ信号 a によりアクセスされるインストラクションメモリ 2 0 と、インストラクションメモリ 2 0 の出力を受け取り保持するレジスタ 3、4 と、ジャンプ信号 i によりレジスタ 3、4 の出力のどちらかを選択するセクタ 3 0 と、シーケンス制御命令 f を解読し、次のプログラムカウンタ信号 g と次のジャンプ信号 h を決定するプログラムカウンタ制御部 1 0 と、ジャンプ信号 i を出力するレジスタ 2 とで構成される。

【 0 0 1 4 】

インストラクションメモリ 2 0 には、各アドレスにプログラムカウンタ信号 a が示す行の次の行のシーケンス制御命令と、ジャンプ先の行のシーケンス制御命令とを各々の記憶領域に記憶しておく。例えば、アドレス 0 番地には、先頭行の次の行の命令と先頭行の命令によりジャンプするジャンプ先の行の命令とを記憶しておく。もしその行の命令によりジャンプする場合がないときは、ジャンプ先の行の記憶領域には何も記憶しない。

【 0 0 1 5 】

また、初期値として、レジスタ 1 には先頭行の値を、レジスタ 3 には先頭行のシーケンス制御命令を代入しておき、レジスタ 2 にはジャンプフラグを立てないしておく。

【 0 0 1 6 】

次に動作について説明する。

試験が始まるとインストラクションメモリ 2 0 は、プログラムカウンタ信号 a によりアクセスされ、次の行のシーケンス制御命令 b とジャンプ先の行のシーケンス制御命令 c が読み出される。セレクトア 3 0 は、レジスタ 2 からのジャンプ信号 i にジャンプフラグが立っていればレジスタ 4 の出力 d を、立っていなければレジスタ 3 の出力 e を選択する。プログラムカウンタ制御部 1 0 は、セレクトア 3 0 で選択されたシーケンス制御命令 f を解読し、次のプログラムカウンタ信号 g を決定する。プログラムカウンタがジャンプする場合は、次の周期でジャンプフラグが立つようにレジスタ 2 に信号 h を送る。

【 0 0 1 7 】

最初の周期で、レジスタ 1, 2, 3 は初期値を、レジスタ 4 は不定データを出力する。セレクトア 3 0 は、レジスタ 2 に初期状態でジャンプフラグを立てていないため、レジスタ 3 からの先頭行のシーケンス制御命令を選択する。インストラクションメモリ 2 0 とプログラムカウンタ制御部 1 0 は前記動作を行い、各レジスタに次の信号を送る。次の周期で各レジスタが次の信号を出力し、同様の処理が行われる。この一連の動作を繰り返すことによりシーケンス制御回路 1 0 0 は、次々にプログラムカウンタ信号 a を出力する。

【 0 0 1 8 】

図 2 はプログラムカウンタ制御部 1 0 の構成例を示すブロック図である。

プログラムカウンタ制御部 1 0 は、プログラムカウンタのジャンプを制御するジャンプ制御回路 1 2 と、ループ回数をカウントするループカウンタ 1 3 と、プログラムカウンタ信号 a をインクリメントする加算器 1 4 と、インクリメントされたプログラムカウンタ信号又はジャンプアドレスを選択するセレクタ 1 5 とで構成される。

【 0 0 1 9 】

次に動作について説明する。

加算器 1 4 は、シーケンス制御命令 f にかかわらず、プログラムカウンタ信号 a を 1 づつインクリメントする。

セレクタ 3 0 からのシーケンス制御命令 f に「N O O P」命令が入力された場合は、ジャンプ制御回路 1 2 はジャンプしないと判断し、信号 h にジャンプしないという信号を出力する。セレクタ 1 5 は、ジャンプ制御回路 1 2 からのジャンプしないという信号により加算器 1 4 からの出力を選択し、次のプログラムカウンタ信号 g にインクリメントされたプログラムカウンタ信号を出力する。

【 0 0 2 0 】

シーケンス制御命令 f に「L O O P」命令が入力された場合、ジャンプ制御回路 1 2 は、ループカウンタ 1 3 に指定回数をカウントさせ、カウント終了を判断し、カウント終了していない間は、信号 h にジャンプするという信号を出力する。セレクタ 1 5 は、ジャンプ制御回路 1 2 からのジャンプするという信号により、シーケンス制御命令 f からのジャンプアドレスを選択し、次のプログラムカウンタ信号 g にジャンプアドレスを出力する。ループカウンタ 1 3 がカウント終了すると、ジャンプ制御回路 1 2 は、ジャンプ信号 h にジャンプしないという信号を出力し、「N O O P」命令と同様の動作をする。

【 0 0 2 1 】

次に、本実施の形態によるシーケンス制御回路 1 0 0 で図 7 のプログラムを実行した時の動作を説明する。

図 3 はインストラクションメモリ 2 0 に記憶させるシーケンス制御命令を示す

。図4は図7のプログラムを実行したときの波形図である。

【0022】

インストラクションメモリ20のアドレス0番地の次の行のシーケンス制御命令記憶領域に「LOOP」、1番地の次の行のシーケンス制御命令記憶領域に「NOOP」、ジャンプ先の行のシーケンス制御命令記憶領域に「LOOP」、という命令を記憶しておく。先頭行の「NOOP」命令によりジャンプすることはないので、0番地のジャンプ先の行のシーケンス制御命令記憶領域には何も記憶しない。初期値としてレジスタ1に「0」を、レジスタ2にジャンプしていないというLOW信号を、レジスタ3に先頭行の「NOOP」命令を代入しておく。

【0023】

試験が始まると最初の周期 t_1 で、レジスタ1はプログラムカウンタ信号aに初期値「0」を出力する。インストラクションメモリ20は、プログラムカウンタ信号aによりアクセスされ、0番地に記憶されていた「LOOP」命令を信号bに、不定データを信号cに出力する。レジスタ3は信号dに初期値「NOOP」命令を、レジスタ4は信号eに不定データを、レジスタ2はジャンプ信号iにLOW信号を出力する。セクタ30は、ジャンプ信号iによりレジスタ3からの出力を選択し、信号fに「NOOP」命令を出力する。プログラムカウンタ制御部10は、「NOOP」命令を解釈し、信号gにプログラムカウンタ信号をインクリメントした値「1」を、信号hにジャンプしていないというLOW信号を出力する。

【0024】

次の周期 t_2 で、レジスタ1は、プログラムカウンタ信号aに「1」を出力する。インストラクションメモリ20は、1番地に記憶されていた「NOOP」命令を信号bに、「LOOP」命令を信号cに出力する。レジスタ3は信号dに「LOOP」命令を、レジスタ4は信号eに不定データを、レジスタ2はジャンプ信号iにLOW信号を出力する。セクタ30は、ジャンプ信号iによりレジスタ3からの出力を選択し、信号fに「LOOP」命令を出力する。

【0025】

プログラムカウンタ制御部10は、「LOOP」命令によりループカウンタを

カウントし、カウント終了を判断する。カウントが終了していないのでジャンプすると判断し、信号gにジャンプアドレス「1」を、信号hにジャンプしたというHI信号を出力する。

【0026】

次の周期t3で、レジスタ1は、プログラムカウンタ信号aに「1」を出力する。インストラクションメモリ20は、1番地に記憶されていた「NOOP」命令を信号bに、「LOOP」命令を信号cに出力する。レジスタ3は信号dに「NOOP」命令を、レジスタ4は信号eに「LOOP」命令を、レジスタ2はジャンプ信号iにHI信号を出力する。セクタ30はジャンプ信号iがHI信号になっているため、レジスタ4からの出力を選択し、信号fに「LOOP」命令を出力する。

【0027】

プログラムカウンタ制御部10は、「LOOP」命令によりループカウンタ13をカウントし、カウント終了を判断する。カウントが終了していないのでジャンプすると判断し、信号gにジャンプアドレス「1」を、信号hにジャンプしたというHI信号を出力する。

【0028】

次の周期t4で、レジスタ1は、プログラムカウンタ信号aに「1」を出力する。インストラクションメモリ20は、1番地に記憶されていた「NOOP」命令を信号bに、「LOOP」命令を信号cに出力する。レジスタ3は信号dに「NOOP」命令を、レジスタ4は信号eに「LOOP」命令を、レジスタ2はジャンプ信号iにHI信号を出力する。セクタ30はジャンプ信号がHI信号になっているため、レジスタ4からの出力を選択し、信号fに「LOOP」命令を出力する。プログラムカウンタ制御部10は、「LOOP」命令によりループカウンタをカウントし、カウント終了を判断する。3回カウントされてカウント終了したのでジャンプしないと判断し、信号gにプログラムカウンタ信号をインクリメントした値「2」を、信号hにジャンプしていないというLOW信号を出力する。

【0029】

このように一連の動作を繰り返すことによりシーケンス制御回路 1 0 0 は、プログラムカウンタ信号 a を「0, 1, 1, 1, 2」と発生する。このプログラムカウンタ信号 a は、例えば図 6 のインストラクションメモリ 2 0 0 のアドレスとして出力される。

【 0 0 3 0 】

図 5 は本発明の第 2 の実施の形態によるシーケンス制御回路 1 0 0 を示すブロック図である。

シーケンス制御回路 1 0 0 は、プログラムカウンタ信号 a を出力するレジスタ 1 と、プログラムカウンタ信号 a によりアクセスされ、次の行のシーケンス制御命令 b とジャンプ先の行のシーケンス制御命令 c を出力するインストラクションメモリ 2 0 と、ジャンプ信号 h により次の行のシーケンス制御命令 b とジャンプ先の行のシーケンス制御命令 c の何れかをを選択するセクタ 4 0 と、セクタ 4 0 の選択出力 j を受け取るレジスタ 5 と、レジスタ 5 からのシーケンス制御命令 f を解釈し、次のプログラムカウンタ信号 g とジャンプ信号 h を決定するプログラムカウンタ制御部 1 0 とで構成される。

本実施の形態は、第 1 の実施の形態のセクタ 3 0 で選択していたシーケンス制御命令を 1 クロック前に選択するようにしたものである。

【 0 0 3 1 】

次に動作について説明する。

第 1 の実施の形態と同様にインストラクションメモリ 2 0 には、各アドレスにプログラムカウンタ信号が示す行の次の行のシーケンス制御命令とジャンプ先の行のシーケンス制御命令とを各記憶領域に記憶しておく。

また、初期値として、レジスタ 1 には先頭行の値を、レジスタ 5 には先頭行の命令を代入しておく。

【 0 0 3 2 】

最初の周期では、レジスタ 1 はプログラムカウンタ信号 a に先頭行の値を出力し、インストラクションメモリ 2 0 は、プログラムカウンタ信号 a によりアクセスされ、先頭行の次の行のシーケンス制御命令 b と先頭行の命令によってジャンプするジャンプ先の行のシーケンス制御命令 c が読み出される。レジスタ 5 は、

代入しておいた先頭行のシーケンス制御命令 f を出力する。プログラムカウンタ制御部 1 0 は、レジスタ 5 からの先頭行のシーケンス制御命令 f を解読し、次のプログラムカウンタ信号 g を決定する。プログラムカウンタがジャンプする場合は、ジャンプ信号 h にジャンプフラグを立てる。セクタ 4 0 は、プログラムカウンタ制御部 1 0 からのジャンプ信号 h にジャンプフラグが立っていれば次の行のシーケンス制御命令 b を、立っていなければジャンプ先の行のシーケンス制御命令 c を選択する。

【 0 0 3 3 】

次の周期で、レジスタ 1 は次のプログラムカウンタ信号を、レジスタ 5 は 1 クロック前にセクタ 4 0 で選択されたシーケンス制御命令を出力し、同様の処理が行われる。

このように一連の動作を繰り返すことによりシーケンス制御回路 1 0 0 は、プログラムカウンタ信号 a を次々に発生する。

【 0 0 3 4 】

【発明の効果】

以上説明したように、本発明によるシーケンス制御回路は、インストラクションメモリに次の行のシーケンス制御命令の記憶領域とジャンプ先の行のシーケンス制御命令の記憶領域とを設けると共に、これらを同時に読み出すようにし、プログラムカウンタのジャンプ動向に応じて次の行のシーケンス制御命令又はジャンプ先の行のシーケンス制御命令を選択し、選択出力に基づいて次のアドレスを示すプログラムカウンタ信号を作成するように構成したので、最高動作速度が、インストラクションメモリのアクセス時間又はプログラムカウンタ制御部の動作速度のどちらかで決まることになる。このため、アクセス時間の速いメモリや高速素子を用いることなく、より高速に動作可能なシーケンス制御回路を実現することができる。

【図面の簡単な説明】

【図 1】 本発明によるシーケンス制御回路の第 1 の実施の形態を示すブロック図である。

【図 2】 プログラムカウンタ制御部の構成例を示すブロック図である。

【図3】 インストラクションメモリに記憶させる命令を示す構成図である。

【図4】 本発明によるシーケンス制御回路の動作を説明するためのタイミングチャートである。

【図5】 本発明によるシーケンス制御回路の第2の実施の形態を示すブロック図である。

【図6】 半導体試験装置の構成を示すブロック図である。

【図7】 半導体試験装置のプログラムの一例を示す構成図である。

【図8】 半導体試験装置の動作を説明するためのタイミングチャートである。

【図9】 従来のシーケンス制御回路のブロック図である。

【図10】 従来のシーケンス制御回路の動作を説明するためのタイミングチャートである。

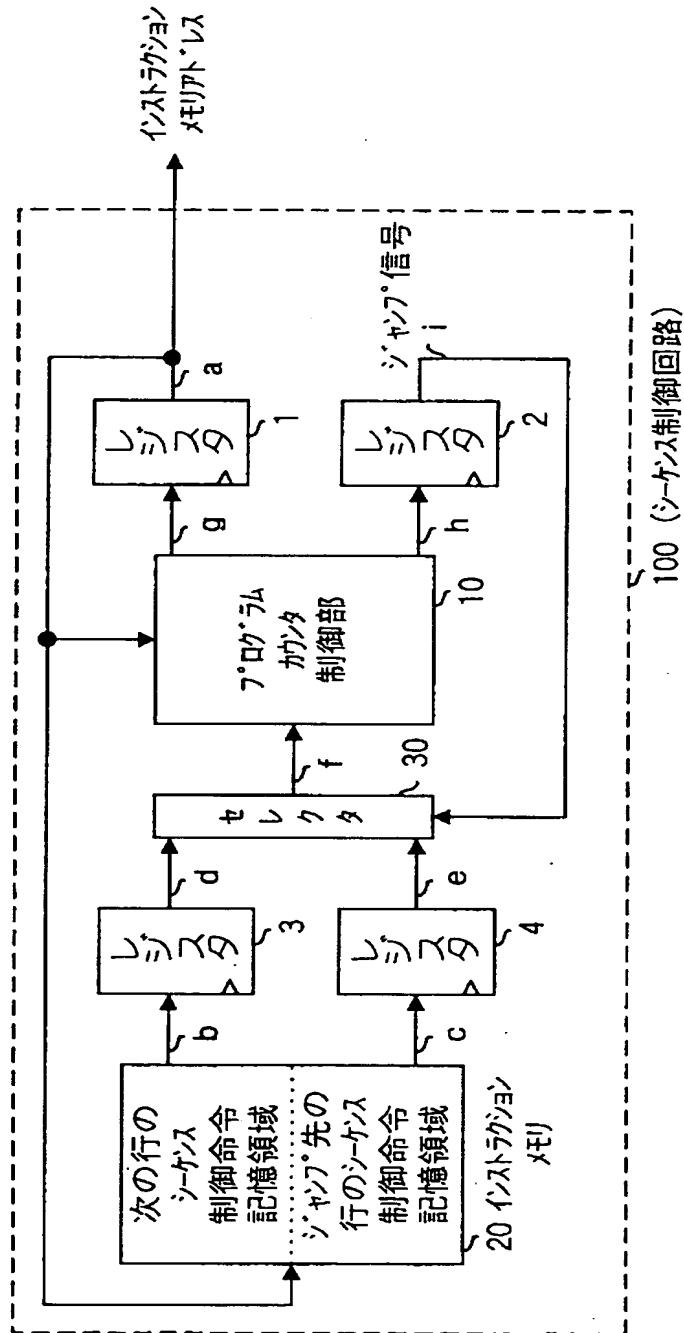
【符号の説明】

- 1～5 レジスタ
- 10 プログラムカウンタ制御部
- 20 インストラクションメモリ
- 30, 40 セレクタ
- 100 シーケンス制御回路
- 12 ジャンプ制御回路
- 13 ループカウンタ
- 14 加算器
- 15 セレクタ
- a プログラムカウンタ信号
- i ジャンプ信号

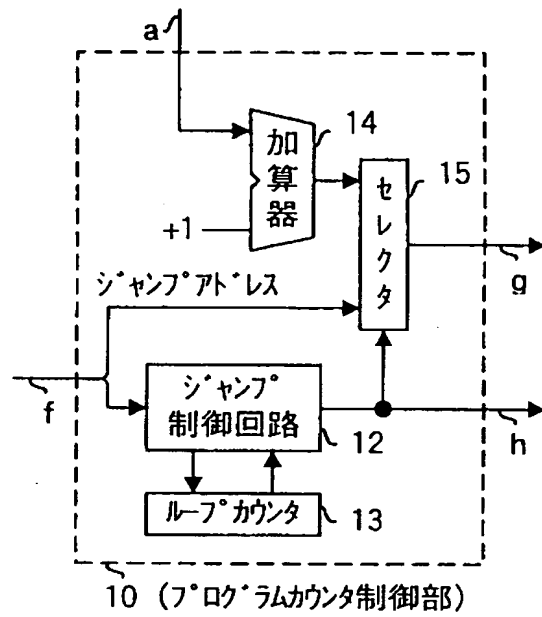
【書類名】

図面

【図 1】



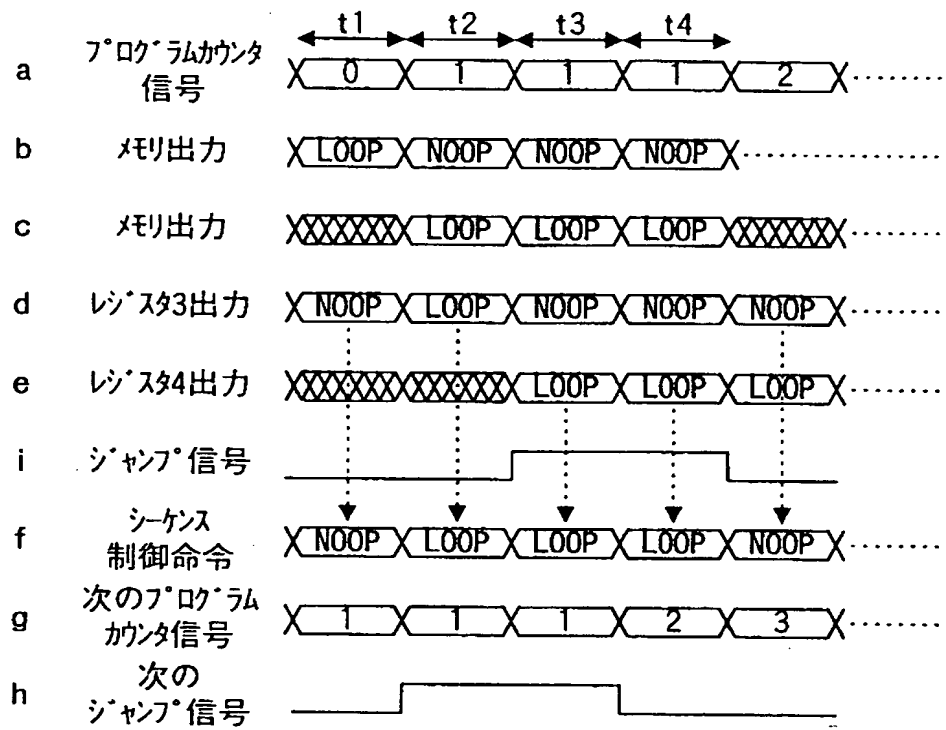
【図 2】



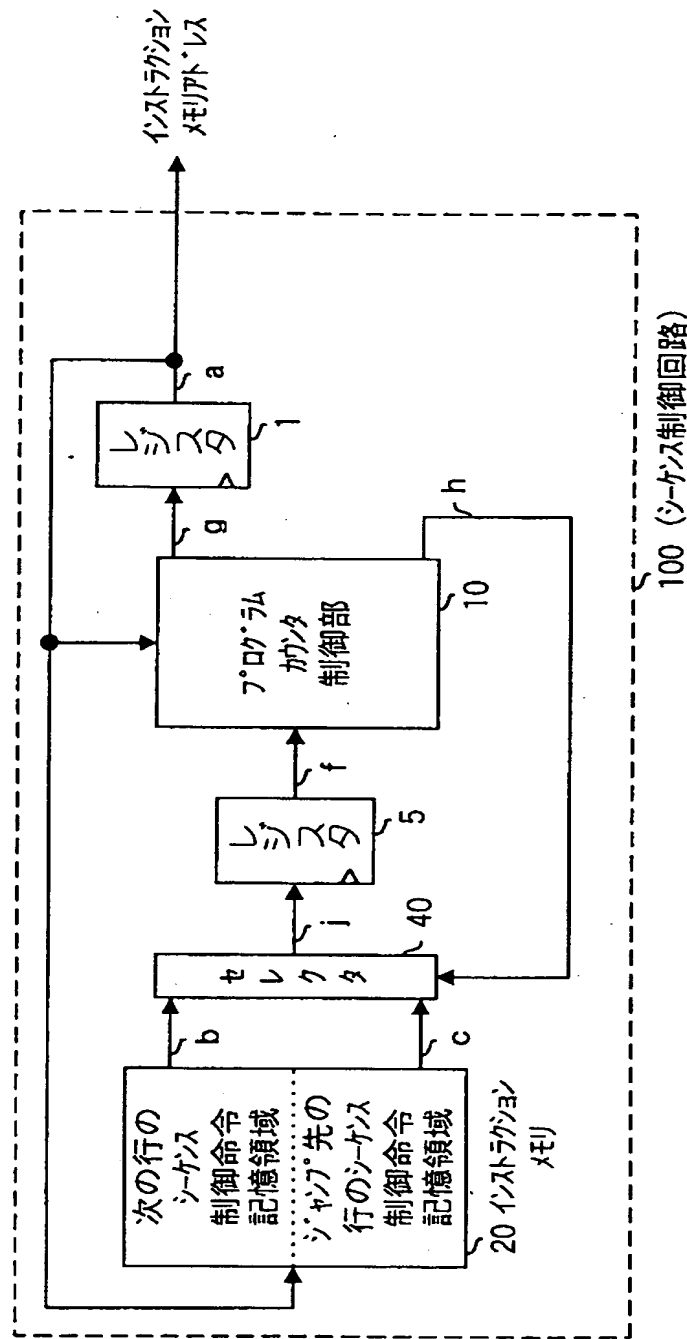
【図 3】

インストラクション メモリアドレス	次の行の シーケンス制御命令 記憶領域	ジャンプ先の行の シーケンス制御命令 記憶領域
0	LOOP 3 AA	不定
1	NOOP	LOOP 3 AA
2	...	不定
...

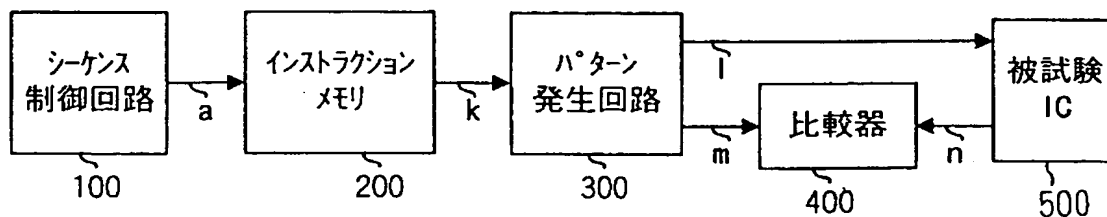
【図 4】



【図 5】



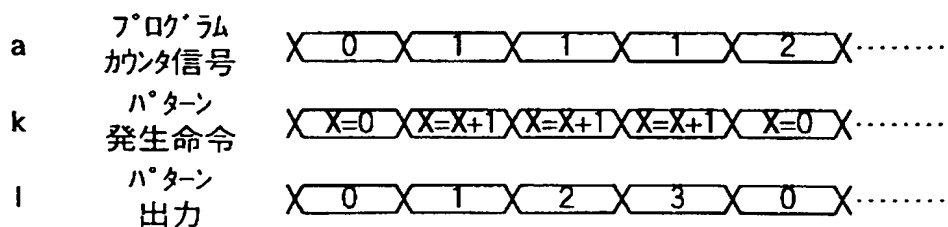
【図 6】



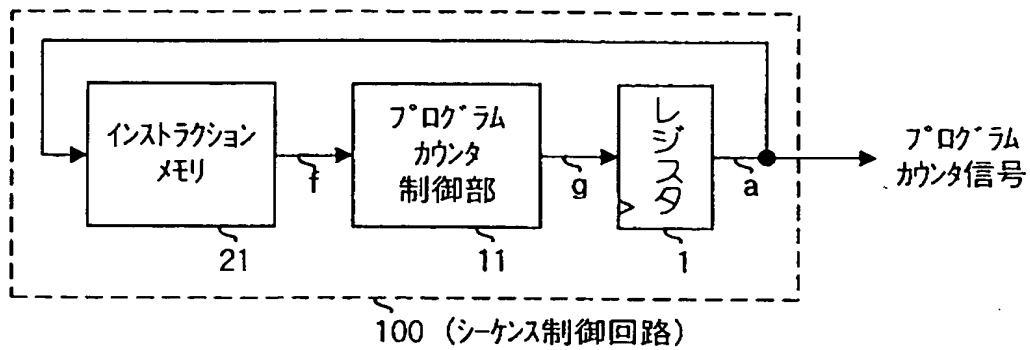
【図 7】

プログラム カウンタ	シーケンス制御命令	パターン発生命令
0	NOOP	X=0
1	AA: LOOP 3 AA	X=X+1
2	NOOP	X=0
⋮	⋮	

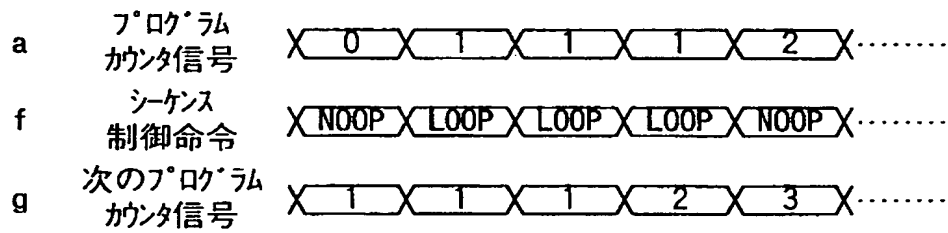
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 半導体試験装置のシーケンス制御回路において、アクセス時間の速いメモリや高速素子を用いることなく高速動作を可能にする。

【解決手段】 メモリ 2 0 の各アドレスにプログラムカウンタ信号 a が示す行の次の行のシーケンス制御命令とジャンプ先の行のシーケンス制御命令とを各記憶領域に記憶しておく。上記メモリ 2 0 は上記信号 a によりアクセスされ、各記憶領域から各シーケンス制御命令 b, c が読み出され、レジスタ 3, 4 に与えられる。セレクトア 3 0 は、レジスタ 2 からのジャンプ信号 i にフラグが立っていればレジスタ 4 の出力 d を、立っていなければレジスタ 3 の出力 e を選択する。プログラムカウンタ制御部 1 0 は、選択されたシーケンス制御命令 f を解読し、次のプログラムカウンタ信号 g を決定する。カウンタがジャンプする場合は、次の周期でフラグが立つようにレジスタ 2 に信号 h を送る。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願2000-095916
受付番号	50000401553
書類名	特許願
担当官	第五担当上席 0094
作成日	平成12年 3月31日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000117744
【住所又は居所】	東京都大田区蒲田4丁目19番7号
【氏名又は名称】	安藤電気株式会社

【代理人】

申請人

【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所
【氏名又は名称】	志賀 正武

【選任した代理人】

【識別番号】	100108578
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所
【氏名又は名称】	高橋 詔男

【選任した代理人】

【識別番号】	100089037
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所
【氏名又は名称】	渡邊 隆

【選任した代理人】

【識別番号】	100101465
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所
【氏名又は名称】	青山 正和

【選任した代理人】

【識別番号】	100094400
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所

次頁有

認定・付加情報（続き）

【氏名又は名称】	鈴木 三義
【選任した代理人】	
【識別番号】	100107836
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	西 和哉
【選任した代理人】	
【識別番号】	100108453
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	村山 靖彦

出 願 人 履 歴 情 報

識別番号 [000117744]

1. 変更年月日 1990年 8月10日
[変更理由] 新規登録
住 所 東京都大田区蒲田4丁目19番7号
氏 名 安藤電気株式会社